

METHOD AND DEVICE FOR HEAT-TREATING SILICON SEMICONDUCTOR SUBSTANCE

Patent Number: JP11150119
Publication date: 1999-06-02
Inventor(s): MORIMOTO NOBUYUKI; ADACHI HISASHI; SANO MASAKAZU
Applicant(s): SUMITOMO SITIX CORP
Requested Patent: ☐ JP11150119
Application Number: JP19970331203 19971114
Priority Number(s):
IPC Classification: H01L21/322; H01L21/205; H01L21/26
EC Classification:
Equivalents:

Abstract

PROBLEM TO BE SOLVED: To form bulk microdefects a silicon semiconductor substrate at a specific density by heating a silicon epitaxial layer to a specific temperature at a specific temperature rising rate, and after holding the epitaxial layer at a prescribed temperature for a prescribed period of time, cooling the epitaxial layer at a specific cooling rate in a non-oxidizing atmosphere after the epitaxial layer has been formed on the substrate.

SOLUTION: In rapid heating and rapid cooling of heat treatment, a silicon epitaxial layer is heated to $\geq 1,200$ deg.C at a temperature increase rate of 1-200 deg.C/sec after the epitaxial layer is formed on a silicon wafer through an epitaxial growth process, held within the temperature range of 1,200-1,300 deg.C for 5-300 seconds, and cooled at a temperature dropping rate of ≥ 10 deg.C/sec in a non-oxidizing atmosphere. The heat treatment may be started at a temperature between a room temperature and about 900 deg.C and may be terminated at a temperature between 900 deg.C and the room temperature. It is preferable, in addition, to use an inert gas, such as N₂, Ar, etc., for forming the non-oxidizing atmosphere. Therefore, microdefects (BMD) from which an intrinsic gettering effect can be expected can be obtained in the silicon wafer at a density of $\geq 10^{10}$ cm⁻³.

Data supplied from the esp@cenet database - I2

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-150119

(43) 公開日 平成11年(1999) 6月2日

(51) Int.Cl.⁹

識別記号

F I

H 0 1 L 21/322

H 0 1 L 21/322

Y

21/205

21/205

21/26

21/26

G

審査請求 未請求 請求項の数 4 F D (全 6 頁)

(21) 出願番号 特願平9-331203

(22) 出願日 平成9年(1997) 11月14日

特許法第30条第1項適用申請有り 1997年10月2日 社
団法人応用物理学会発行の「1997年(平成9年) 秋季第
58回応用物理学会学術講演会予稿集第1分冊」に発表

(71) 出願人 000205351

住友シチックス株式会社

兵庫県尼崎市東浜町1番地

(72) 発明者 森本 信之

佐賀県杵島郡江北町大字上小田2201番地

住友シチックス株式会社内

(72) 発明者 足立 尚志

佐賀県杵島郡江北町大字上小田2201番地

住友シチックス株式会社内

(72) 発明者 佐野 正和

佐賀県杵島郡江北町大字上小田2201番地

住友シチックス株式会社内

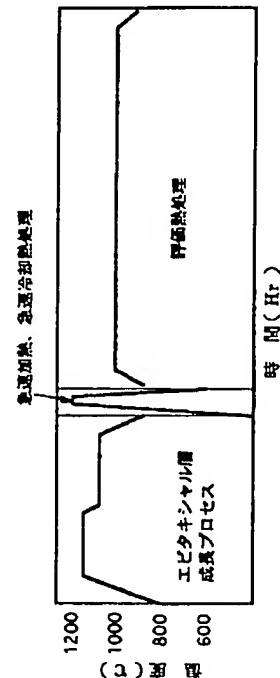
(74) 代理人 弁理士 押田 良久

(54) 【発明の名称】 シリコン半導体基板の熱処理方法とその装置

(57) 【要約】

【課題】 シリコン半導体基板上にシリコンエピタキシャル層を形成した後、短時間で基板内部に I G 効果の期待できる程度の微小欠陥を析出させることが可能なシリコン半導体基板の熱処理方法と、前記熱処理方法を実施しながら生産性の向上を図ることが可能なシリコンエピタキシャル成長装置を用いた熱処理装置の提供。

【解決手段】 シリコンエピタキシャル層を形成した後、非酸化性雰囲気中で所要の昇温速度で1200～1300℃に急速加熱し、短時間保持後に、所要の降温速度で急速冷却することにより、基板内部に所要密度の B M D を得られる。



【特許請求の範囲】

【請求項1】 シリコン半導体基板上にシリコンエピタキシャル層を形成した後、非酸化性雰囲気内で1200℃以上に昇温し、1200～1300℃の範囲内で5～300秒保持後、降温速度10℃/秒以上で冷却して、基板内部に 1×10^8 (cm⁻³)以上のBMDを得るシリコン半導体基板の熱処理方法。

【請求項2】 請求項1において、室温～900℃より昇温速度10～100℃/秒で1200～1250℃の範囲に昇温し、5～60秒保持した後、降温速度50～100℃/秒で900℃～室温まで冷却するシリコン半導体基板の熱処理方法。

【請求項3】 請求項1において、シリコンエピタキシャル成長装置を用い、エピタキシャル成長プロセスに続いて連続して熱処理するシリコン半導体基板の熱処理方法。

【請求項4】 基板のハンドリングシステムを中心にマルチチャンバー構造を有するシリコンエピタキシャル成長装置において、少なくとも1つのチャンバーに急速加熱および急速冷却の熱処理が可能な熱処理装置を設けた請求項1のシリコン半導体基板の熱処理装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、シリコン半導体基板上にシリコンエピタキシャル層を形成したシリコン半導体基板の熱処理方法に係り、基板上にシリコンエピタキシャル層を形成したのち、非酸化性雰囲気内で急速加熱および急速冷却の高温短時間熱処理を施すことにより、効率よく基板内部にIG効果の期待できる程度の微小欠陥を析出させるシリコン半導体基板の熱処理方法と、マルチチャンバー構造のエピタキシャル成長装置に急速加熱及び急速冷却が可能な熱処理装置を有するチャンバーを設けた熱処理装置に関する。

【0002】

【従来の技術】シリコン半導体基板の製造工程において、金属不純物を半導体基板内部に取り込む方法として、Intrinsic Gettering (以後IGと記載)法が知られており、これは、シリコン半導体基板内部の微小欠陥(Bulk Micro Defect、以後BMDと記載)を利用する方法である。

【0003】その具体的例として、例えば、予め酸化性雰囲気内で1100℃以上の高温熱処理を施し、シリコン半導体基板の表層格子間酸素を外方拡散させ無欠陥層(Denuded Zone、以後DZ層と記載)を形成させたのち、低温処理にてシリコン半導体基板内部にBMDを形成させたウェーハ(DZ-IGウェーハ)が、デバイス工程で適用されている。

【0004】また、シリコン半導体基板上にシリコンエピタキシャル層を成長させたエピタキシャルウェーハにもIGの適用がなされている。しかし、エピタキシャル

ウェーハは、その成膜プロセスにおいて高温熱処理を施すために、酸素析出核の縮小、消滅が起こる。従って、デバイスプロセス中において、ゲッタリングに必要な酸素析出物の密度およびサイズが確保できない。

【0005】上記問題を解決するために、いくつかの提案がなされている。例えば、特開平3-50186号では、エピタキシャル層形成前に700～900℃で4時間以上の低温熱処理を施し、予め酸素析出核を形成もしくは、成長させ、その後エピタキシャル成長を行う方法が提案されている。一方、特開昭63-198334号では、エピタキシャル層形成後に、650～900℃で4～20時間の熱処理を施し、酸素析出物を形成させる方法が提案されている。

【0006】

【発明が解決しようとする課題】シリコン半導体基板上にシリコンエピタキシャル層を成長させる熱処理において、シリコン半導体基板の格子間酸素濃度が $11 \sim 17 \times 10^{17}$ (atoms/cm³)、比抵抗が0.01～100 (Ωcm)のシリコンウェーハを、例えば図7に従来のエピタキシャル成長プロセスを示すように、1150℃程度で塩酸ガス導入によるウェーハ表面のクリーニングを行い、その後、1100℃程度でエピタキシャル膜の成長を行う。

【0007】しかし、前記熱処理では、シリコン半導体基板内部のBMD成長が抑制され、ゲッタリングに必要なBMD密度およびサイズが確保できない。そのため、前記のエピタキシャル層形成前後に酸素析出物を形成あるいは成長させる手法が適用されている。

【0008】ところで、エピタキシャル層形成前の熱処理に関しては、エピタキシャル層の表面品質劣化が懸念される。また熱処理時間に関して、従来の方法では、いずれもエピタキシャル層形成前後に4時間以上の熱処理が必要となるため、生産性が低下する問題がある。

【0009】この発明は、シリコン半導体基板上にシリコンエピタキシャル層を形成した後、短時間で基板内部にIG効果の期待できる程度の微小欠陥を析出させることが可能なシリコン半導体基板の熱処理方法の提供を目的とし、且つ前記熱処理方法を実施しながら生産性の向上を図ることが可能なシリコンエピタキシャル成長装置を用いた熱処理装置の提供を目的としている。

【0010】

【課題を解決するための手段】発明者は、シリコンエピタキシャル層を形成した後、短時間で基板内部にIG効果の期待できる程度の微小欠陥を析出させることが可能なシリコン半導体基板の熱処理方法を目的に種々検討した結果、シリコンエピタキシャル層を形成した後、非酸化性雰囲気内で1200～1300℃に急速加熱し、短時間保持後に、所要の降温速度で急速冷却することにより、基板内部に所要密度のBMDを得られることを知見し、この発明を完成した。

【0011】すなわち、この発明は、エピタキシャルウェーハにおいて、デバイスプロセス中に十分なIG効果を得るための熱処理方法であり、例えばシリコン半導体基板の格子間酸素濃度が $11 \sim 17 \times 10^{17}$ (atoms/cm³)、比抵抗が $0.01 \sim 100$ (Ω cm)のシリコンウェーハにシリコンエピタキシャル層を形成させたのち、例えば非酸化性雰囲気内で昇温速度 $1 \sim 200^\circ\text{C}/\text{秒}$ で 1200°C 以上に昇温し、 $1200 \sim 1300^\circ\text{C}$ の範囲内で $5 \sim 300$ 秒保持後、降温速度 $10 \sim 200^\circ\text{C}/\text{秒}$ で 900°C ～室温程度まで冷却することで、基板内部に 1×10^8 (cm⁻³)以上のBMDを得ることができるシリコン半導体基板の熱処理方法である。

【0012】さらに、発明者は、マルチチャンバー構造を有するシリコンエピタキシャル成長可能な熱処理装置において、少なくとも1つのチャンバーに前記記載の急速加熱および急速冷却可能な熱処理装置を具備することで、エピタキシャル層形成工程中に、上記の急速加熱および急速冷却の高温短時間熱処理を行うことにより、効率よく短時間で連続的に熱処理を行うことができることを知見し、この発明を完成した。

【0013】

【発明の実施の形態】この発明において、対象とするシリコン半導体基板は、その格子間酸素濃度が $11 \sim 17 \times 10^{17}$ (atoms/cm³)、比抵抗が $0.01 \sim 100$ (Ω cm)の基板である。先の比抵抗値の範囲を対象とするのは、エピタキシャル成長プロセスで酸素析出物の成長抑制が顕著となるためであり、また、格子間酸素濃度の範囲に関してはシリコン半導体基板の格子間酸素濃度が 11×10^{17} (atoms/cm³)未満では、基板内部のBMD密度が、 1×10^8 (cm⁻³)以下となりゲッターリング効率が低下し、また格子間酸素濃度が 17×10^{17} (atoms/cm³)を超えると、BMD密度が 1×10^{10} (cm⁻³)以上となり、基板の機械的強度が弱くなるためである。

【0014】以下に、この発明による熱処理方法を図1に基づいて説明する。この発明の熱処理方法における特徴である急速加熱および急速冷却の熱処理は、エピタキシャル成長プロセス終了後、例えば、非酸化性雰囲気内で昇温速度 $1 \sim 200^\circ\text{C}/\text{秒}$ で 1200°C 以上に昇温し、 $1200 \sim 1300^\circ\text{C}$ の範囲内で $5 \sim 300$ 秒保持後、降温速度 $10 \sim 200^\circ\text{C}/\text{秒}$ で冷却する。この熱処理の開始温度は、室温 $\sim 900^\circ\text{C}$ 程度、また終了温度は 900°C ～室温の範囲内でよい。

【0015】この発明において、非酸化性雰囲気としては、N₂、Arなどの不活性ガス雰囲気が望ましい。

【0016】また、急速加熱および急速冷却の熱処理条件としては、降温速度を $10^\circ\text{C}/\text{秒}$ 未満、または、保持時間を5秒未満、または、熱処理温度を 1200°C 未満で行った場合、シリコン半導体基板にはBMDの析出量が少なく十分なIG効果が得られず、昇温速度、降温速

度が $200^\circ\text{C}/\text{秒}$ を超える場合、または、熱処理時間が300秒を超える場合、または熱処理温度が 1300°C を超える場合、いずれの条件下でもシリコン半導体基板にスリップ転移が発生する問題があるため、前述の範囲が好ましい。なお、スリップの発生が防止できる基板保持治具や装置を用いることができる場合は、特に前記の昇温速度、降温速度の上限は不要である。

【0017】この発明において、熱処理はランプアニール炉で行うことが好ましく、生産性、効率の向上のため昇温速度は少なくとも $1^\circ\text{C}/\text{秒}$ 以上とするが、その熱源であるランプの耐久性を低下させないため、また、熱処理時間に関して、60秒以上ではBMDの析出量に著しい変化がないことから、昇温速度 $10 \sim 100^\circ\text{C}/\text{秒}$ で $1200 \sim 1250^\circ\text{C}$ の範囲に昇温し、 $5 \sim 60$ 秒保持した後、降温速度 $50 \sim 100^\circ\text{C}/\text{秒}$ で 900°C ～室温まで冷却する工程が特に好ましい。

【0018】次にこの発明におけるエピタキシャル成長装置を用いた熱処理装置に関して図2に基づいて説明する。図示の熱処理装置は、マルチチャンバー構造を有するシリコンエピタキシャル成長可能な熱処理装置において、少なくとも1つのチャンバーに前記条件の急速加熱および急速冷却を実施可能な熱処理装置を具備しており、ここでは、この発明の急速加熱および急速冷却の熱処理は、シリコン半導体基板上にエピタキシャル層を形成するためのチャンバーと隣接するチャンバーにおいて連続的に熱処理を行う。

【0019】ハンドリングシステム1は、密閉されたハンドリング室2の中央に配置され、円形のハンドリング室2の外周部に配置されるロード室3で受け取ったシリコンウェーハ4を同様に円形のハンドリング室2の外周部に配置されるエピタキシャル形成室5、6に移送してエピタキシャル層を形成した後、隣接する急速加熱冷却室7で所定の急速加熱冷却の熱処理を行い、その後クーリングステーション8で室温まで冷却し、搬出室9より装置外へ出すよう構成されている。

【0020】この発明において、マルチチャンバー構造でない単一チャンバー構造の場合は、急速加熱冷却の熱処理を行う際、エピタキシャル成長後に急速加熱および急速冷却の熱処理を行うことになり、一枚当たりの熱処理時間が長く、生産性が悪くなる問題が生じる。従って、マルチチャンバー構造を有する熱処理炉を用いることで、生産性の悪化を招くことなく、効率的な熱処理が可能となる。

【0021】

【実施例】実施例1

CZ法により育成された面方位(100)、格子間酸素濃度が $11 \sim 17 \times 10^{17}$ (atoms/cm³)、比抵抗が 1 (Ω cm)以上の200mm外径のシリコンウェーハに図1に示すときヒートパターンの熱処理を施した。まず、シリコンウェーハ上にシリコンエピタキシ

ヤル層を形成したのち、室温まで冷却してからランプアニール炉にてアルゴン雰囲気内で、昇温速度50℃/秒で1150～1300℃の種々温度に昇温後、60秒保持したのち、降温速度100℃/秒で600℃まで冷却する熱処理を施した。その後、前記ウェーハの酸素析出物を成長させるため酸素雰囲気内で1000℃、16時間の熱処理を施した。

【0022】シリコンウェーハ内部のBMDを観察するため、シリコンウェーハの断面をライトエッチ液にて2μmエッチングを施し、その断面を光学顕微鏡でエッチピットとして密度をカウントした。その結果を図3に示す。この時のライトエッチ液の配合比は以下の通りである。

HF:HNO₃:CrO₃:Cu(NO₃)₂:H₂O:C
H₃COOH=60cc:30cc:30cc:2g:
60cc:60cc

(応用物理, 45, 1055(1976) 高野幸男、牧道義 参照)

【0023】図3より、シリコンウェーハ内部にIG効果が期待できる程度のBMDを得るためには、ランプアニール処理温度としては、1200℃以上が必要であり、その時のBMD密度は $4 \times 10^8 \sim 5 \times 10^9$ (cm⁻³)であることがわかる。一方、ランプアニール処理温度を1300℃にした場合、BMD密度に著しい変化はなく、かつシリコンウェーハの支持部からスリップ転位が発生していた。

【0024】また、シリコン半導体基板の格子間酸素濃度としては、 $11 \sim 17 \times 10^{17}$ (atoms/cm³)の範囲のものが適用できることが確認できた。さらに、その時のシリコンウェーハ4断面は図6に示されるような構造となっており、表面からおよそ100μmの深さの範囲が無欠陥層10であった。

【0025】比較例1

実施例1で使用したシリコンウェーハを用いて、エピタキシャル層成長プロセスを行った後、酸素析出物を成長させるために、酸素雰囲気内で1000℃、16時間の熱処理を施した。次いで実施例1と同様にBMDを観察した結果、図3のnon RTA(as Epi)に示すように、 1.3×10^7 (cm⁻³)以下となりBMDの析出が少ないことが確認された。

【0026】実施例2

CZ法により育成された面方位(100)、格子間酸素濃度が $11 \sim 17 \times 10^{17}$ (atoms/cm³)、比抵抗が1(Ωcm)以上の200mm外径のシリコンウェーハに図1に示すごときヒートパターンの熱処理を施した。まず、シリコンウェーハ上にシリコンエピタキシャル層を形成したのち、ランプアニール炉にてアルゴン雰囲気内で、昇温速度50℃/秒で1150～1300℃の種々温度に昇温後、5秒、60秒、120秒、300秒保持したのち、降温速度100℃/秒で600℃ま

で冷却する熱処理を施した。その後、前記ウェーハの酸素析出物を成長させるため酸素雰囲気内で1000℃、16時間の熱処理を施した。次いで実施例1と同様にBMDを観察した結果を図4に示す。

【0027】一方、前記シリコンエピタキシャル層を形成したウェーハをランプアニール炉にてアルゴン雰囲気内で、昇温速度50℃/秒で1150～1300の種々温度に昇温後、60秒保持したのち、降温速度10℃/秒、50℃/秒、100℃/秒、200℃/秒で600℃まで冷却する熱処理を施した。その後、前記ウェーハの酸素析出物を成長させるため酸素雰囲気内で1000℃、16時間の熱処理を施した。次いで実施例1と同様にBMDを観察した結果を図5に示す。

【0028】図4、5より、シリコン半導体基板の格子間酸素濃度が $11 \sim 17 \times 10^{17}$ (atoms/cm³)の範囲であり、急速加熱冷却の熱処理条件としては、1200℃以上であり、かつ熱処理時間として5秒以上であればシリコン基板内部に $1 \times 10^8 \sim 8 \times 10^9$ (cm⁻³)のBMDが得られ、十分なIG効果が期待できることが確認できた。また、60秒以上の熱処理時間では、BMD密度の著しい変化が見られなかった。

【0029】また、降温速度についても、10℃/秒以上であれば $1 \times 10^8 \sim 5 \times 10^9$ (cm⁻³)のBMDが得られた。しかし100℃/秒以上の降温速度では、BMD密度の著しい変化はなく、またシリコンウェーハの支持部からスリップ転位が発生していた。

【0030】

【発明の効果】この発明は、シリコン半導体基板上にシリコンエピタキシャル層を形成したのち、非酸化性雰囲気内で急速加熱及び急速冷却の高温短時間熱処理を施すことにより、効率よく基板内部にIG効果の期待できる程度の微小欠陥を析出させることができ、またマルチチャンバー構造を有するシリコンエピタキシャル成長可能な熱処理装置において、この急速加熱、急速冷却可能な熱処理装置を具備したチャンバーを設けることにより、生産性の悪化を招くことなく、効率よくこの熱処理ができる。

【図面の簡単な説明】

【図1】この発明による熱処理方法のヒートパターン例を示すグラフである。

【図2】この発明による熱処理装置の概要を示す上面説明図である。

【図3】この発明による熱処理方法の熱処理温度依存性を示す、熱処理後のBMD密度のグラフである。

【図4】この発明による熱処理方法の熱処理時間依存性を示す、熱処理後のBMD密度のグラフである。

【図5】この発明による熱処理方法の降温速度依存性を示す、熱処理後のBMD密度のグラフである。

【図6】この発明による熱処理後のシリコンウェーハの断面説明図である。

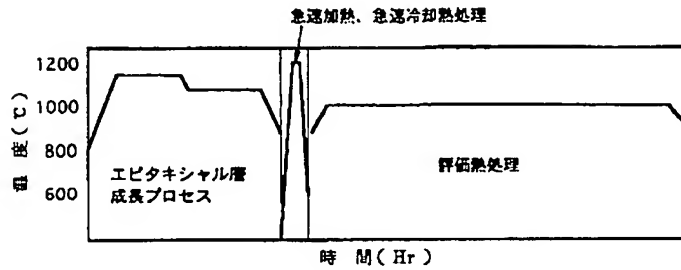
【図7】従来のエピタキシャル層成長プロセスのヒートパターンを示すグラフである。

【符号の説明】

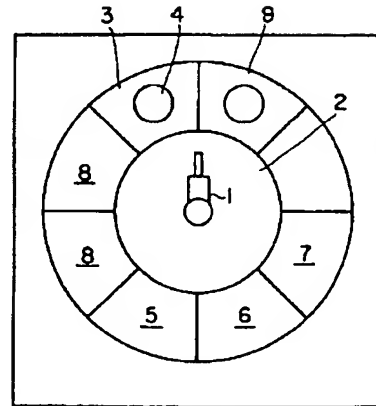
- 1 ハンドリングシステム
- 2 ハンドリング室
- 3 ロード室

- 4 シリコンウェーハ
- 5, 6 エピタキシャル形成室
- 7 急速加熱冷却室
- 8 クーリングステーション
- 9 搬出室
- 10 無欠陥層

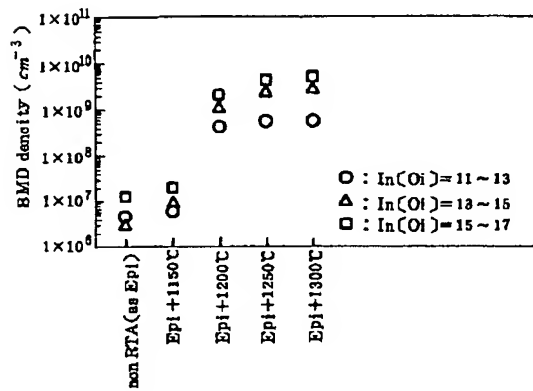
【図1】



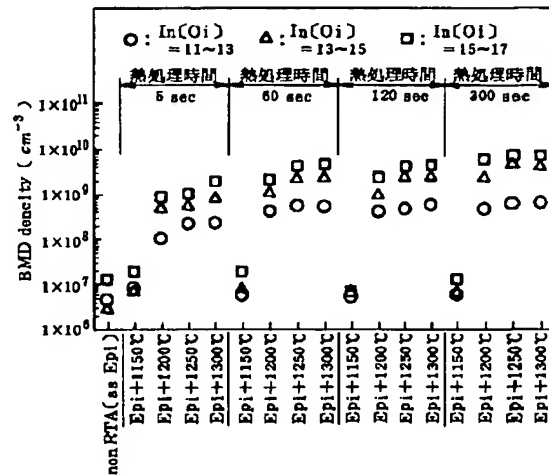
【図2】



【図3】



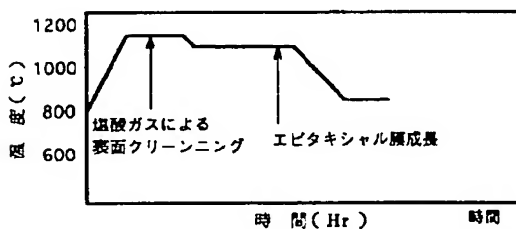
【図4】



【図6】



【図7】



【図5】

